

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

This Page Blank (uspto)

First Hit

L11: Entry 5 of 20

File: JPAB

May 25, 2001

PUB-NO: JP02001142774A

DOCUMENT-IDENTIFIER: JP 2001142774 A

TITLE: MEMORY CARD AND ADDRESS CONVERTING METHOD TO BE APPLIED TO IT

PUBN-DATE: May 25, 2001

INVENTOR-INFORMATION:

NAME

COUNTRY

FUJIMOTO, TERUHISA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

APPL-NO: JP11321310

APPL-DATE: November 11, 1999

INT-CL (IPC): G06 F 12/02; G06 F 12/00; G06 F 12/10; G06 K 19/07

ABSTRACT:

PROBLEM TO BE SOLVED: To unnecessitate the increase of a volatile memory area for an address converting table even when the storage capacity of a re-writable non-volatile memory is increased.

SOLUTION: LTPb 152-i provided with the group of entries where the physical address of a block to which a logical block address is assigned is arranged in a flash memory 15 with a block group where the contents of a prescribed field in the logical block address are common as a unit and, then, one of LTPb 152-i is stored in a RAM 14. A microprocessor 121 inspects whether corresponding LTPb 152-i exists in the RAM 14 or not when the logical address is given from a host system and executes conversion into the physical address by referring to the corresponding entries of LTPb 152-i on the RAM 14 by the logical block address in the logical address after copying LTPb 152-i into the RAM 14 from the flash memory 15 unless it exists or as it is when it exists.

COPYRIGHT: (C)2001, JPO

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許公開番号

特開2001-142774

(P2001-142774A)

(43) 公開日 平成13年5月25日 (2001.5.25)

| (51) Int.Cl. ⁷ | 識別記号 | F I | キーワード (参考) |
|-------------------------------|-------|---------------|-------------------|
| G 0 6 F 12/02 | 5 7 0 | G 0 6 F 12/02 | 5 7 0 F 5 B 0 0 5 |
| | 5 2 0 | | 5 2 0 A 5 B 0 3 5 |
| 12/00 | 5 4 2 | 12/00 | 5 4 2 D 5 B 0 6 0 |
| 12/10 | | 12/10 | A 5 B 0 8 2 |
| G 0 6 K 19/07 | | G 0 6 K 19/00 | N |
| 審査請求 未請求 請求項の数11 O L (全 13 頁) | | | |

(21) 出願番号 特願平11-321310

(22) 出願日 平成11年11月11日 (1999.11.11)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区瀬川町72番地

(72) 発明者 藤本 唯久

東京都青葉市末広町2丁目9番地 株式会

社東芝青葉工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム (参考) 5B005 JJ22 M51 R002

5B035 A00 B009 CA29

5B060 A06 A08 A13 A26 AC12

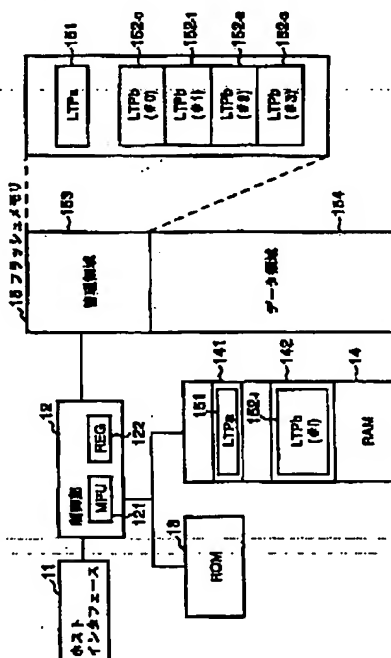
5B082 EA01 FA04 JA08

(54) 【発明の名称】 メモリカード及び同カードに適用されるアドレス変換方法

(57) 【要約】

【課題】書き換え可能な不揮発性メモリの記憶容量が増加してもアドレス変換テーブル用の揮発性メモリ領域を増加させずに済むようにする。

【解決手段】論理ブロックアドレスが割り当てられるブロックの物理アドレスが登録されるエントリの群を有するLTPb152-iを、論理ブロックアドレスの所定フィールドの内容が共通のブロック群を単位にフラッシュメモリ15に用意し、当該LTPb152-iの1つをRAM14に格納する。マイクロプロセッサ121はホストシステムから論理アドレスが与えられると、対応するLTPb152-iがRAM14上に存在するか否かを調べ、存在しないなら、LTPb152-iをフラッシュメモリ15からRAM14にコピーした後、存在するときはそのまま、上記論理アドレス中の論理ブロックアドレスによりRAM14上のLTPb152-iの対応エントリを参照することで物理アドレスへの変換を行う。



【特許請求の範囲】

【請求項1】 書き換え可能な不揮発性メモリを搭載したメモリカードにおいて、

前記書き換え可能な不揮発性メモリをアクセスするために与えられる論理アドレスを物理アドレスに変換するのに用いられる、それぞれ異なる論理アドレス範囲に対応付けられた複数のアドレス変換テーブルであって、前記書き換え可能な不揮発性メモリに保存される複数のアドレス変換テーブルと、

前記書き換え可能な不揮発性メモリ上の前記複数のアドレス変換テーブルの1つを格納するためのアドレス変換テーブル領域が確保される揮発性メモリと、

前記書き換え可能な不揮発性メモリをアクセスするための論理アドレスが与えられた場合、前記揮発性メモリ上の前記アドレス変換テーブルを利用して当該論理アドレスを物理アドレスに変換するアドレス変換手段とを具備することを特徴とするメモリカード。

【請求項2】 前記書き換え可能な不揮発性メモリをアクセスするための論理アドレスが与えられた場合、当該論理アドレスが属する論理アドレス範囲に対応する前記アドレス変換テーブルが前記揮発性メモリ上に存在するか否かを判定するヒット／ミスヒット判定手段と、

前記ヒット／ミスヒット判定手段により前記対応するアドレス変換テーブルが前記揮発性メモリ上に存在しないと判定された場合、当該アドレス変換テーブルを前記書き換え可能な不揮発性メモリから前記揮発性メモリ上の前記アドレス変換テーブル領域にコピーするコピー手段とを更に具備することを特徴とする請求項1記載のメモリカード。

【請求項3】 前記複数のアドレス変換テーブルがそれぞれ保存されている前記書き換え可能な不揮発性メモリ上の保存位置情報を、当該アドレス変換テーブルに固有の論理アドレス範囲に対応付けて登録したポインタテーブルを更に具備し、

前記コピー手段は、前記ヒット／ミスヒット判定手段により前記対応するアドレス変換テーブルが前記揮発性メモリ上に存在しないと判定された場合、前記ポインタテーブルを参照して対応する保存位置情報を取得し、当該保存位置情報の示す前記書き換え可能な不揮発性メモリ上の前記アドレス変換テーブルを前記揮発性メモリ上の前記アドレス変換テーブル領域にコピーすることを特徴とする請求項2記載のメモリカード。

【請求項4】 前記複数のアドレス変換テーブルのいずれが前記揮発性メモリに格納されているかを指定するための参照用テーブル指定手段を更に具備し、

前記ヒット／ミスヒット判定手段は、前記与えられた論理アドレスが属する論理アドレス範囲に対応する前記アドレス変換テーブルが前記揮発性メモリ上に存在するか否かを前記参照用テーブル指定手段の指定内容に基づいて判定することを特徴とする請求項2記載のメモリカー

ド。

【請求項5】 固有の論理ブロックアドレスが割り当てられる複数のブロックからなる書き換え可能な不揮発性メモリを搭載したメモリカードにおいて、

論理アドレス中の論理ブロックアドレスにより指定可能な、当該論理ブロックアドレスが割り当てられるブロックの前記書き換え可能な不揮発性メモリの物理アドレスが登録されるエントリの群を有する複数のアドレス変換テーブルであって、前記論理ブロックアドレスの所定フィールドの内容が共通のブロック群を単位に用意されて前記書き換え可能な不揮発性メモリに保存される複数のアドレス変換テーブルと、

前記書き換え可能な不揮発性メモリ上の前記複数のアドレス変換テーブルの1つを格納するためのアドレス変換テーブル領域が確保される揮発性メモリと、

前記書き換え可能な不揮発性メモリをアクセスするための論理アドレスが与えられた場合、当該論理アドレスの前記所定フィールドに対応する前記アドレス変換テーブルが前記揮発性メモリ上に存在するか否かを判定するヒット／ミスヒット判定手段と、

前記ヒット／ミスヒット判定手段により前記対応するアドレス変換テーブルが前記揮発性メモリ上に存在しないと判定された場合、当該アドレス変換テーブルを前記書き換え可能な不揮発性メモリから前記揮発性メモリ上の前記アドレス変換テーブル領域にコピーするコピー手段と、

前記ヒット／ミスヒット判定手段により前記対応するアドレス変換テーブルが前記揮発性メモリ上に存在すると判定された場合にはそのまま、存在しないと判定された場合には当該アドレス変換テーブルが前記コピー手段により前記揮発性メモリにコピーされるのを待って、前記与えられた論理アドレス中の論理ブロックアドレスにより当該揮発性メモリ上の前記アドレス変換テーブルの対応するエントリを参照することで、前記与えられた論理アドレスを対応する物理アドレスに変換するアドレス変換手段とを具備することを特徴とするメモリカード。

【請求項6】 前記アドレス変換手段により参照された前記アドレス変換テーブルのエントリに前記物理アドレスが登録されていない場合、前記書き換え可能な不揮発性メモリ上の空きブロックを捜して当該ブロックに前記与えられた論理アドレス中の論理ブロックアドレスを割り当てて、当該ブロックの物理アドレスを、前記参照エントリと、前記書き換え可能な不揮発性メモリ上の対応する前記アドレス変換テーブルのエントリとに書き込む物理アドレス登録手段を更に具備することを特徴とする請求項5記載のメモリカード。

【請求項7】 前記アドレス変換手段により変換された物理アドレスを用いて前記書き換え可能な不揮発性メモリに対する書き込みを行った結果ブロックエラーが発生した場合、前記書き換え可能な不揮発性メモリ上の空きブ

10

20

30

40

50

ックを授けて当該ブロックに前記与えられた論理アドレス中の論理ブロックアドレスを割り当てて、当該ブロックの物理アドレスで、前記参照エントリと、前記書き換え可能な不揮発性メモリ上の対応する前記アドレス変換テーブルのエントリを更新するブロック代替手段を更に具備することを特徴とする請求項5記載のメモリカード。

【請求項8】 立ち上げ時に、前記書き換え可能な不揮発性メモリに前記アドレス変換テーブルが作成・保存されているか否かを判定するテーブル作成判定手段を更に具備し、

前記コピー手段は、前記テーブル作成判定手段により前記複数のアドレス変換テーブルが前記書き換え可能な不揮発性メモリに作成・保存されていると判定された場合、当該複数のアドレス変換テーブルの1つを前記揮発性メモリ上の前記アドレス変換テーブル領域にコピーすることを特徴とする請求項5記載のメモリカード。

【請求項9】 前記テーブル作成判定手段により前記複数のアドレス変換テーブルが前記書き換え可能な不揮発性メモリに作成・保存されていないと判定された場合、前記複数のアドレス変換テーブルの枠組と、前記ポインタテーブルとを作成して前記書き換え可能な不揮発性メモリに保存することを特徴とするテーブル作成手段を更に具備することを特徴とする請求項8記載のメモリカード。

【請求項10】 書き換え可能な不揮発性メモリを搭載したメモリカードに適用されるアドレス変換方法において、

前記書き換え可能な不揮発性メモリをアクセスするために与えられる論理アドレスを物理アドレスに変換するのに用いられる複数のアドレス変換テーブルであって、それぞれ異なる論理アドレス範囲に対応付けられた複数のアドレス変換テーブルを前記書き換え可能な不揮発性メモリに保存する一方、当該アドレス変換テーブルの1つを揮発性メモリ上に確保したアドレス変換テーブル領域に格納し、

前記書き換え可能な不揮発性メモリをアクセスするための論理アドレスが与えられた場合、前記揮発性メモリ上の前記アドレス変換テーブルを利用して当該論理アドレスを物理アドレスに変換することを特徴とするアドレス変換方法。

【請求項11】 固有の論理アドレスが割り当てられる複数のブロックからなる書き換え可能な不揮発性メモリを搭載したメモリカードに適用されるアドレス変換方法において、

論理アドレス中の論理ブロックアドレスにより指定可能な、当該論理ブロックアドレスが割り当てられるブロックの前記書き換え可能な不揮発性メモリの物理アドレスが登録されるエントリの群を有するアドレス変換テーブルを、前記論理ブロックアドレスの所定フィールドの内容が共通のブロック群を単位に用意して、前記書き換え可能な不揮発性メモリに保存する一方、当該アドレス変換テ

ーブルの1つを揮発性メモリ上に確保したアドレス変換テーブル領域に格納し、

前記書き換え可能な不揮発性メモリをアクセスするための論理アドレスが与えられた場合に、当該論理アドレスの前記所定フィールドに対応する前記アドレス変換テーブルが前記揮発性メモリ上に存在するか否かを判定し、前記対応するアドレス変換テーブルが前記揮発性メモリ上に存在しないと判定した場合、当該アドレス変換テーブルを前記書き換え可能な不揮発性メモリから前記揮発性メモリ上の前記アドレス変換テーブル領域にコピーし、前記対応するアドレス変換テーブルが前記揮発性メモリ上に存在すると判定した場合にはそのまま、存在しないと判定した場合には当該アドレス変換テーブルを前記揮発性メモリにコピーした後に、前記与えられた論理アドレス中の論理ブロックアドレスにより当該揮発性メモリ上の前記アドレス変換テーブルの対応するエントリを参照することで、前記与えられた論理アドレスに対応する物理アドレスに変換することを特徴とするアドレス変換方法。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、書き換え可能な不揮発性メモリを搭載したメモリカードに係り、特に当該不揮発性メモリをアクセスするために与えられた論理アドレスを物理アドレスに変換するアドレス変換機構を備えたメモリカード及び同カードに適用されるアドレス変換方法に関する。

【0002】

【従来の技術】近年、画像データや音楽データに代表される種々のデジタル情報を保存する記憶装置として、電源がオフされても保存情報が消失する虞のない書き換え可能な不揮発性メモリを搭載したメモリカードが広まってきた。

【0003】書き換え可能な不揮発性メモリの代表的なものにNAND型フラッシュメモリがある。この種のフラッシュメモリはブロック単位で管理される。つまり、情報の消去（一般には、全ビットが“1”のデータ、つまりオール“1”データを書き込む動作）はブロック単位で行われる。また、各ブロックには、論理ブロックアドレスが割り当てられる。各ブロックは複数のセクタからなる。このセクタは、フラッシュメモリでの読み出し/書き込みの最小単位であり、例えば512バイトからなる。各セクタはデータ部とは別に冗長部を有している。この冗長部の所定フィールドには、対応するセクタが属するブロックに割り当てられている論理ブロックアドレスが登録されている。

【0004】フラッシュメモリ（書き換え可能な不揮発性メモリ）をアクセスするには、論理アドレスを当該メモリの物理アドレスに変換するためのアドレス変換テーブル（アドレス変換機構）が必要となる。このアドレス

変換が必要な理由は、フラッシュメモリに欠陥ブロックが発生して、別の空きブロックに代替しても、そのことをホスト側で意識することなく、代替の有無に無関係に同一の論理アドレスでアクセスできるようにするためである。

【0005】上記アドレス変換テーブルのエントリ数はフラッシュメモリのブロック数に一致し、1セクタが512バイト、つまり0.5KB(キロバイト)で、且つ1ブロックが32セクタ、つまり16KBの16MB(メガバイト)フラッシュメモリを用いた場合を例にとると、 $16\text{MB}/16\text{KB}=1\text{K}=1,024$ となる。アドレス変換テーブルは一般に揮発性メモリとしてのRAM上に確保された領域(RAM領域)に格納して用いられる。したがって上記の例では、1エントリ2バイトとすると、アドレス変換テーブルを格納するのに必要なRAM領域は2KBとなる。

【0006】一方、最近では、半導体製造技術の進歩によりフラッシュメモリの記憶容量も増加しており、ブロック数が2,048、1ブロックが16KBの32MBフラッシュメモリ、或いはブロック数が4,096、1ブロックが16KBの64MBフラッシュメモリも出現している。

【0007】ところが、フラッシュメモリの記憶容量が増加すると、アドレス変換テーブルを保持するためのRAM領域も大きくしなければならぬ。例えば、32MBフラッシュメモリの場合には4KB、64MBフラッシュメモリの場合には8KBのRAM領域がアドレス変換テーブル用に必要となる。つまり、16MBフラッシュメモリの場合のそれぞれ2倍、4倍といったRAM領域を必要とする。

【0008】

【発明が解決しようとする課題】上記したように、フラッシュメモリに代表される書き換え可能な不揮発性メモリを搭載した従来のメモリカードでは、当該メモリの記憶容量が増加すると、当該メモリをアクセスするために与えられる論理アドレスを当該ブロックの物理アドレスに変換するためのアドレス変換テーブルを保持するのに必要な、RAMに代表される揮発性メモリの領域も大きくしなければならなかった。

【0009】本発明は上記事情を考慮してなされたものでその目的は、書き換え可能な不揮発性メモリの記憶容量が増加してもアドレス変換テーブル用の揮発性メモリ領域を増加させずに済むメモリカード及び同カードに適用されるアドレス変換方法を提供することにある。

【0010】

【課題を解決するための手段】本発明は、書き換え可能な不揮発性メモリを搭載したメモリカードにおいて、上記書き換え可能な不揮発性メモリをアクセスするために与えられる論理アドレスを物理アドレスに変換するのに用いられる、それぞれ異なる論理アドレス範囲に対応付け

られた複数のアドレス変換テーブルであって、上記書き換え可能な不揮発性メモリに保存される複数のアドレス変換テーブルと、上記書き換え可能な不揮発性メモリ上の複数のアドレス変換テーブルの1つを格納するためのアドレス変換テーブル領域が確保される揮発性メモリと、上記書き換え可能な不揮発性メモリをアクセスするための論理アドレスが与えられた場合、上記揮発性メモリ上の前記アドレス変換テーブルを利用して当該論理アドレスを物理アドレスに変換するアドレス変換手段とを備えたことを特徴とする。

【0011】このような構成においては、論理アドレスを物理アドレスに変換するためのアドレス変換テーブルがそれぞれ異なる論理アドレス範囲毎に分割され、複数のアドレス変換テーブルとして書き換え可能な不揮発性メモリ上に保存される一方、そのうちの1つが揮発性メモリ上のアドレス変換テーブル領域に置かれる。ここでは、書き換え可能な不揮発性メモリをアクセスするための論理アドレスが与えられた場合、揮発性メモリ上のアドレス変換テーブルを利用して当該論理アドレスを物理アドレスに変換するアドレス変換が行われる。

【0012】このように、一部のアドレス変換テーブルだけが揮発性メモリ上に置かれて論理アドレスから物理アドレスへのアドレス変換に用いられるため、全アドレス変換テーブルを揮発性メモリ上に置く場合と異なり、書き換え可能な不揮発性メモリの容量が大きくなっても、書き換え可能な不揮発性メモリの記憶容量の増加を抑えることが可能となる。

【0013】ここで、揮発性メモリ上に置かれているアドレス変換テーブルが、与えられた論理アドレスの属する論理アドレス範囲に対応したアドレス変換テーブルではない場合には、アドレス変換は行えない。

【0014】そこで、書き換え可能な不揮発性メモリをアクセスするための論理アドレスが与えられた場合、当該論理アドレスが属する論理アドレス範囲に対応するアドレス変換テーブルが揮発性メモリ上に存在するか否かを判定するヒット/ミスヒット判定手段と、このヒット/ミスヒット判定手段により上記対応するアドレス変換テーブルが揮発性メモリ上に存在しないと判定された場合、当該アドレス変換テーブルを書き換え可能な不揮発性メモリから揮発性メモリ上のアドレス変換テーブル領域にコピーするコピー手段とを追加するとよい。

【0015】このようにすると、与えられた論理アドレスを物理アドレスに変換するのに必要なアドレス変換テーブルが上記テーブル領域に存在しない(ミスヒット)の場合でも、当該テーブルが書き換え可能な不揮発性メモリから上記テーブル領域にコピーされるため、論理アドレスから物理アドレスへの変換を速やかに行うことが可能となる。

【0016】ここで、本発明の上記構成とは異なって、上記各アドレス変換テーブルが書き換え可能な不揮発性メ

10

20

30

40

50

モリに用意されておらず、いずれか1つのアドレス変換テーブルだけが上記テーブル領域に作成・保持される構成をとるとするならば、当該テーブル領域上のアドレス変換テーブルがアドレス変換に必要なテーブルでないミスヒットの場合には、当該必要なテーブルを改めて作成しなければならず、映像データや音声データの読み出し（再生）の場合のようにリアルタイム性が要求される場合には問題となる。つまり、テーブルミス時のペナルティが大きい。これを避けるため、全テーブルを上記テーブル領域に作成・保持することも考えられるが、書き換え可能不揮発性メモリの記憶容量の大幅な増加を招く。

【0017】これに対して本発明では、全てのアドレス変換テーブルが書き換え可能不揮発性メモリに用意されているため、テーブルミスが発生しても、必要なアドレス変換テーブルを書き換え可能不揮発性メモリから揮発性メモリの上記テーブル領域にコピーするだけで速やかにアドレス変換処理を行うことができ、テーブルミス時のペナルティが小さくて済む。したがって本発明においては、小容量の書き換え可能不揮発性メモリを用いても、つまり十分な大きさのテーブル領域が確保できなくとも、テーブルミス時のペナルティを小さくすることが可能となり、リアルタイム用途に適用できる。

【0018】なお、本発明では、書き換え可能不揮発性メモリ上に全てのアドレス変換テーブルを保存するための領域を確保する必要があるが、書き換え可能不揮発性メモリの容量は揮発性メモリの容量に比べて極めて大きいので、当該揮発性メモリ上に全テーブルを置く構成と異なっても問題とならない。

【0019】ここで、アドレス変換に必要なアドレス変換テーブルを、より速やかに書き換え可能不揮発性メモリから上記テーブル領域にコピーできるように、各アドレス変換テーブルがそれぞれ保存されている書き換え可能不揮発性メモリ上の保存位置情報を、当該アドレス変換テーブルに固有の論理アドレス範囲に対応付けて登録したポインタテーブルを備えるといふ。

【0020】また、上記ポインタテーブルを上記揮発性メモリ（に確保されるポインタテーブル領域）にも置くようにして、当該揮発性メモリ上のポインタテーブルを用いて、必要とするアドレス変換テーブルの保存位置情報を取得する構成とするならば、当該アドレス変換テーブルを一層速やかに書き換え可能不揮発性メモリから上記テーブル領域にコピーすることが可能となる。

【0021】また、上記各アドレス変換テーブルのいずれが上記揮発性メモリに格納されているかを指定するための参照用テーブル指定手段を追加するならば、上記ヒット／ミスヒット判定手段による判定（テーブルヒット／ミスの判定）を速やかに行うことが可能となる。

【0022】また本発明のメモリカードは、上記書き換え可能な不揮発性メモリが、一般に固有の論理ブロックアドレスが割り当てられる複数のブロックからなること

を考慮して、論理アドレス中の論理ブロックアドレスにより指定可能な、当該論理ブロックアドレスが割り当てられるブロックの上記書き換え可能不揮発性メモリの物理アドレスが登録されるエントリの群を有する複数のアドレス変換テーブルであって、論理ブロックアドレスの所定フィールドの内容が共通のブロック群を単位に用意されて上記書き換え可能不揮発性メモリに保存される複数のアドレス変換テーブルと、上記書き換え可能不揮発性メモリ上の複数のアドレス変換テーブルの1つを格納するためのアドレス変換テーブル領域が確保される揮発性メモリと、与えられた論理アドレスの上記所定フィールドに対応するアドレス変換テーブルが上記揮発性メモリ上に存在するか否かを判定するヒット／ミスヒット判定手段と、上記対応するアドレス変換テーブルが上記揮発性メモリ上に存在しないと判定された場合、当該アドレス変換テーブルを上記書き換え可能不揮発性メモリから上記揮発性メモリ上のアドレス変換テーブル領域にコピーするコピー手段と、上記対応するアドレス変換テーブルが揮発性メモリ上に存在すると判定された場合にはそのまま、存在しないと判定された場合には当該アドレス変換テーブルが揮発性メモリにコピーされるのを待って、上記与えられた論理アドレス中の論理ブロックアドレスにより当該揮発性メモリ上のアドレス変換テーブルの対応するエントリを参照することで、論理アドレスを物理アドレスに変換するアドレス変換手段とを備えたことをも特徴とする。

【0023】ここで、上記各アドレス変換テーブルの各エントリの内容を予め設定することも可能であるが、最初はテーブルの枠組みだけを用意し、上記アドレス変換手段により参照されたアドレス変換テーブルのエントリに物理アドレス（または物理ブロックアドレス）が登録されていない場合に、書き換え可能不揮発性メモリ上の空きブロックを捜して当該ブロックに要求された論理アドレス中の論理ブロックアドレスを割り当てて、当該ブロックの物理アドレス（または物理ブロックアドレス）を、上記参照エントリと、書き換え可能不揮発性メモリ上の対応するアドレス変換テーブルのエントリとに、物理アドレス登録手段により書き込む構成とすることも可能である。これにより、使用される可能性の少ないブロックに対応する、アドレス変換テーブル内エントリの情報までも予め登録する無駄をなくすることができる。

【0024】また、上記アドレス変換手段により変換された物理アドレスを用いて書き換え可能不揮発性メモリに対する書き込みを行った結果ブロックエラーが発生した場合、書き換え可能不揮発性メモリ上の空きブロックを捜して当該ブロックに、与えられた論理アドレス中の論理ブロックアドレスを割り当てて、当該ブロックの物理アドレス（または物理ブロックアドレス）で、参照エントリと、書き換え可能不揮発性メモリ上の対応するアドレス変換テーブルのエントリを更新するブロック代替

10

20

30

40

50

手段を追加するとよい。このようなブロック代替手段を設けることで、書き込み時にブロックエラーが発生しても、確実にブロック代替処理を行うことが可能となる。

【0025】また、立ち上げ時に、書き換え可能不揮発性メモリにアドレス変換テーブルが作成・保存されているか否かを判定するテーブル作成判定手段を追加し、アドレス変換テーブルが作成・保存されていると判定された場合、上記コピー手段により、いずれか1つのアドレス変換テーブルが揮発性メモリ上のアドレス変換テーブル領域にコピーされる構成とするとよい。このとき、ポ

インタテーブルも、揮発性メモリ上のポインタテーブル領域にコピーされる構成とするとよい。

【0026】なお、以上の装置（メモリカード）に係る本発明は方法（アドレス変換方法）に係る発明としても成立する。

【0027】

【発明の実施の形態】以下、本発明の実施の形態につき図面を参照して説明する。図1は本発明の一実施形態に係るメモリカードの全体構成を示すブロック図である。

【0028】メモリカードは、パーソナルコンピュータ、電子カメラ、ゲーム機を始めとする各種電子機器に装着して使用される。メモリカードは、図1に示すように、当該カードが装着される電子機器本体（以下、ホストシステムと称する）とのインタフェース（ホストインタフェース）11、カード全体の制御を司る制御部12と、読み出し専用の不揮発性メモリとしてのROM13と、揮発性メモリとしてのRAM14と、書き換え可能な不揮発性メモリとしてのフラッシュメモリ15とを備えている。

【0029】制御部12は、ホストインタフェース11を介して受信されるコマンドをROM13に格納されている制御プログラム（ファームウェア）に従って解釈・実行するマイクロプロセッサ（MPU）121、及び後述するレジスタ（REG）122を有している。

【0030】ROM13は、制御プログラム、管理用の固定データ等を予め格納するのに用いられる。RAM14は、制御部12（内のマイクロプロセッサ121）の作業用領域（図示せず）の他、後述するLTPa151を格納するためのLTPa領域141、及びLTPb152-iを格納するためのLTPb領域142等を提供する。ここではLTPb領域142のサイズは2KBである。

【0031】フラッシュメモリ15は、例えばNANDフラッシュメモリである。フラッシュメモリ15の領域は、管理領域153と、画像データ、音楽データ等のデジタルコンテンツを保存するためのデータ領域154とに割り当てられる。

【0032】またフラッシュメモリ15は、図2に示すように複数のブロックから構成される。このブロックはデータ消去の単位であり、当該ブロックを単位に論理ア

ドレス（Logical Address；LA）中の論理ブロックアドレスが割り当てられる。つまり、フラッシュメモリ15はブロックを単位に管理される。

【0033】フラッシュメモリ15の各ブロックは、当該メモリ15に対するデータの書き込み／読み出しの最小単位である複数のセクタから構成される。したがって、ホストシステムから要求されたデータ書き込みの対象領域がセクタの一部の場合には、一旦当該セクタのデータを読み出して該部分を書き込みデータで置き換え、その置き換え後のデータを当該セクタに書き込む動作が行われる。同様に、ホストシステムから要求されたデータ読み出しの対象領域がセクタの一部の場合には、当該セクタのデータを読み出し、そこから該部分のデータを選択して要求元に送出する動作が行われる。

【0034】上記各セクタには、冗長部が設けられている。この冗長部には、エラー検出符号ECCの他、当該セクタが属するブロックに割り当てられた論理ブロックアドレスが設定される。

【0035】本実施形態では、フラッシュメモリ15の1ブロックは32セクタから構成され、1セクタは512バイトから構成されるものとする。つまり、本実施形態では、1ブロックは16KBから構成される。この場合、論理アドレス（LA）が32ビットで構成されるものとする、図3に示すように、論理アドレスの下位側の9ビットはセクタ内のバイトデータの位置を示すセクタ内アドレスとなり、当該セクタ内アドレスの上位側に続く5ビットは（ブロック内の）セクタ位置を示すセクタアドレスとなる。また、残りの18ビットは論理ブロック位置を示す論理ブロックアドレス（以下、18ビット論理ブロックアドレスと称する）となる。但し本実施形態では、論理アドレスの最上位からの4ビットを除く上位側の14ビット、つまり上記18ビット論理ブロックアドレスの上位4ビットを除く残り14ビットを実質的な論理ブロックアドレス（以下、14ビット論理ブロックアドレス）として用いるようにしている。その理由は次の通りである。

【0036】まず、本実施形態で適用可能なメモリカードは、フラッシュメモリ15の最大容量を256MBに制限している。この場合、フラッシュメモリ15をアクセスするための32ビットの論理アドレス（18ビット論理ブロックアドレス）の上位4ビットは常に“0”となる。したがって、この4ビットを除く残り14ビット（の論理ブロックアドレス）だけで論理ブロックを指定できる。

【0037】さて本実施形態では、フラッシュメモリ15に64MBフラッシュメモリを使用しているものとする。この場合、フラッシュメモリ15のブロック数は、上記したように1ブロックが16KBであることから、 $64\text{MB}/16\text{KB}=4\text{K}=4,096$ となる。

【0038】フラッシュメモリ15の管理領域153に

10

20

30

40

50

は、ポインタテーブルとしてのLTPa151及びアドレス変換テーブルとしての複数のLTPb152-i ($i=0 \sim 2^m-1$) が格納される。このLTPa151は上記したようにRAM14のLTPa領域141にも格納される。つまりLTPa151は、RAM14に常駐する。また、複数のLTPb152-iのうちのいずれか1つは、上記したようにRAM14のLTPb領域142にも格納される。

【0039】複数 (2^m 個) のLTPb152-iの総エントリ数は、フラッシュメモリ15のブロック数に一致し、当該フラッシュメモリ15が64MBの例では4K ($4,096$) である。また、1つのLTPb152-iのサイズは、RAM14上に確保可能なLTPb領域142のサイズに等しい。ここでは、LTPb領域142のサイズは2KBである。したがって、LTPb152-iの1エントリのサイズを2バイトとすると、2KBのLTPb領域142に格納可能なLTPb152-iのエントリ数は、 $2KB/2\text{バイト}=1K (=1,024)$ である。この場合、LTPb152-iの個数 (2^m) は、フラッシュメモリ15のブロック数が4K ($=4,096$) の本実施形態では、 $4K/1K=4$ ($m=2$) となる。つまり本実施形態では、図4に示すように、4つのLTPb152-0~152-3がフラッシュメモリ15の管理領域153に保存される。

【0040】ここでLTPb152-iのエントリ内容について述べる。LTPb152-iは、フラッシュメモリ15の最大容量を256MBに制限している本実施形態では、18ビット論理ブロックアドレスの上位8ビット (14ビット論理ブロックアドレスの上位4ビット) の値が i の $2^{10}=1,24$ 個のブロックについて、そのブロックのフラッシュメモリ15上の物理アドレス (Physical Address; PA) のうち、セクタアドレスとセクタ内アドレスとを除くアドレス、つまり物理ブロックアドレスが (ブロックポインタとして)、該当する論理ブロックアドレスに対応付けて設定される1,24個のエントリ (エントリ0~1023) からなる。

【0041】以上のLTPb152-iを用いることで、論理アドレス (LA) を、当該論理アドレス (LA) に対応するフラッシュメモリ15の物理アドレス (PA) に変換すること (Logical address To Physical address translation; LTP) ができる。具体的には、論理アドレス (LA) 中の14ビット論理ブロックアドレスによりLTPb152-iを参照することで、図3に示すように、当該論理ブロックアドレスに対応するエントリに登録されている物理ブロックアドレスに変換する。そして、この物理ブロックアドレスの下位側に上記論理アドレス (LA) 中の下位14ビット (セクタアドレスとセクタ内アドレスからなる14ビット) を連結することで、上記論理アドレス (LA) に対応する物理アドレス (PA) を取得する。

【0042】次にLTPa151について述べる。LTPa151は、複数のLTPb152-iの (開始位置の) フラッシュメモリ15上の保存先を示す情報 (保存位置情報) としての格納先頭物理アドレス (Physical Address; PA) が (LTPbポインタとして)、該当する i の値に対応付けて設定されるエントリ群からなる。このLTPa151のエントリの数は、LTPb152-iの個数が4の例では4である。したがって、LTPa151のエントリは、上記14ビット論理ブロックアドレスの上位4ビット中の下位側の2ビットで参照 (指定) 可能である。但し、フラッシュメモリ15の最大容量を256MBとし、LTPb領域142が2KBの本実施形態では、LTPb152-iの個数が最大16となる場合にも、フラッシュメモリ15の容量が64MBの場合と同様の手続が可能ないように、上記14ビット論理ブロックアドレスの上位4ビットの値によりLTPa151のエントリを参照するようにしている。このLTPa151を用いることで、論理アドレス (LA) を物理アドレス (PA) に変換するのに必要なLTPb152-iの保存位置の情報を取得できる。

【0043】フラッシュメモリ15の管理領域153の所定位置、例えば先頭には、フラッシュメモリ15内におけるLTPa151の先頭物理アドレスPAaがLTPaポインタとして設定される。

【0044】次に、図1の構成のメモリカードにおける動作について、(1) 立ち上げ時の処理と、(2) アクセス要求受け付け時処理とについて順次説明する。

【0045】(1) 立ち上げ時の処理

まず、図1のメモリカードの立ち上げ時、例えばパワオン時の処理について、図5のフローチャートを参照して説明する。

【0046】制御部12内のマイクロプロセッサ121は、図1のメモリカードに例えばホストシステムの電源が供給されると、LTPa151及びLTPb152-iがフラッシュメモリ15上に作成・保存されているかを判定する (ステップS1)。この判定処理は、フラッシュメモリ15の例えば先頭アドレスにデータが書かれているか否か (具体的には、オール "1" でないか否か、つまり消去状態にないか否か) を調べることにより行われる。

【0047】マイクロプロセッサ121は、LTPa151及びLTPb152-iが作成・保存されていないと判定した場合には、LTPb152-iのエントリ数Aを決定する (ステップS2)。このLTPb152-iのエントリ数Aは、例えば予め定められているLTPb領域142のサイズBと、LTPb152-iの1エントリのサイズCとから、 $A=B/C$ により決定される。ここでは、 $B=2KB$ 、 $C=2\text{バイト}$ であるものとする、 $A=2KB/2\text{バイト}=1K=1,024$ となる。

50 【0048】次にマイクロプロセッサ121は、LTP

13

b152-iの数Dを決定する(ステップS3)。このLTPb152-iの数D(=2ⁿ)は、フラッシュメモリ15のブロック数EをLTPb152-iのエントリ数Aで除することにより、つまりD=E/Aにより求められる。また、フラッシュメモリ15のブロック数Eは、1ブロックのセクタ数Fと1セクタのバイト数Gとから算出される1ブロックのサイズH(=F×G)と、フラッシュメモリ15の容量Iとから、E=I/H=I/(F×G)により算出される。ここでは、1ブロックのセクタ数Fを32、1セクタのバイト数を512とすると、1ブロックのサイズHは、32×512=16KBであり、したがってI=64MBのフラッシュメモリ15のブロック数Eは、E=I/H=64MB/16KB=4K=4,096である。

【0049】マイクロプロセッサ121は、LTPb152-iの個数DとLTPb152-iのエントリ数Aとを決定すると、決定したエントリ数Aのエントリを有するLTPb152-iの枠組(フォーマット)を、決定した個数Dだけフラッシュメモリ15の管理領域153上に作成・保存する(ステップS4)。ここでは、A=1, 024、D=4であることから、図4に示すように、エントリ数が1,024の4つのLTPb152-0~152-3の枠組が作成されて、フラッシュメモリ15の管理領域153に保存される。この時点において、LTPb152-0~152-3の各エントリには何も書き込まれていない。次にマイクロプロセッサ121は、作成・保存したD(=4)個のLTPb152-iのフラッシュメモリ15上の保存位置の情報(先頭物理アドレス)が登録されたエントリの群を持つLTPa151を作成して、フラッシュメモリ15の管理領域153に保存する(ステップS5)。この際、マイクロプロセッサ121はLTPa151のフラッシュメモリ15上の保存位置の情報(先頭物理アドレスPAa)を、当該フラッシュメモリ15の例えば先頭位置に登録する。これにより、以後の立ち上げ時処理では、LTPa151及びLTPb152-iが作成・保存されていると判定される。また、マイクロプロセッサ121は上記ステップS5において、上記作成したLTPa151をRAM14のLTPa領域141に格納する。なお、LTPa151の作成を当該LTPa領域141上で行うならば、この格納動作は不要となる。

【0050】次に、上記ステップS1で、LTPa151及びLTPb152-iが作成・保存されていると判定された場合の処理について説明する。この場合、マイクロプロセッサ121は、フラッシュメモリ15からRAM14のLTPa領域141にLTPa151を、同じくフラッシュメモリ15からRAM14のLTPb領域142にLTPb152-iの1つ(ここではLTPb152-0~152-3の1つ、例えばLTPb152-0)を、それぞれコピーする(ステップS6)。そしてマイ

14

クロプロセッサ121は、RAM14のLTPb領域142にコピーしたLTPb152-iを示す情報、つまりRAM14上にLTPb152-iが存在することを示す情報をレジスタ122に設定する(ステップS7)。本実施形態において、レジスタ122は、フラッシュメモリ15の容量が最大の256MBの場合に生成・保存されるLTPb152-iの個数を考慮して、16テーブル数分の有効フラグV0~V15が保持される構成を適用している。したがって、RAM14のLTPb領域142にコピーされたLTPb152-iに対応する有効フラグViのみをオンすることで、RAM14上に存在するLTPb152-iが識別可能となる。つまり本実施形態では、上記有効フラグViが、RAM14上に存在するLTPb152-iを示す情報となる。

【0051】(2) アクセス要求受け付け時処理

次に、図1のメモリカードにおいて、ホストシステムからのフラッシュメモリ15に対するアクセス要求がホストインタフェース11で受け取られてマイクロプロセッサ121で受け付けられた場合の処理について、図6乃至図8のフローチャートを参照して説明する。

【0052】まず、ホストシステムから送られるアクセス要求には、書き込みまたは読み出しのいずれのアクセスであるかを示すコマンドと、論理アドレス空間上のアクセス対象領域の先頭位置を示す論理アドレス(LA)と、当該領域のサイズとが含まれている。

【0053】マイクロプロセッサ121は、ホストシステムからのアクセス要求中の論理アドレスが、フラッシュメモリ15のデータ領域154に割り当てられている論理アドレス空間の範囲内であるか否かをチェックする(ステップS11)。

【0054】もし、上記範囲外であるときは、マイクロプロセッサ121はアクセス違反としてホストシステムにエラーを通知する。これに対し、範囲内であるときは、マイクロプロセッサ121は、要求された論理アドレスに対応するLTPb152-iがRAM14上に存在するか否かを判定する(ステップS12)。なお、このステップS12の前に、上記要求された論理アドレスとサイズとから、複数のブロックにまたがるアクセス要求であるか否かをチェックして、そうであればアクセス違反を返し、そうでない場合だけステップS12に進むようにするとよい。この他、複数のブロックにまたがるアクセス要求の場合に、当該アクセス要求を各ブロック毎のアクセス要求に変換し、内部的に複数のアクセス要求として処理するようにしてもよい。

【0055】ここで、上記ステップS12での判定方法について述べる。まずマイクロプロセッサ121は、要求された論理アドレス中の前記14ビット論理ブロックアドレスの上位4ビットの値iで指定される、レジスタ122中の有効フラグViを参照する。そしてマイクロプロセッサ121は、参照した有効フラグViがオン状

態にあるか否かにより、要求された論理アドレスに対応するLTPb152-iがRAM14上に存在するか否かを判定する。なお、14ビット論理ブロックアドレスの上位4ビットの値iにより対応する有効フラグViを選択するセレクトを用いし、このセレクトの出力の論理状態に応じて、上記の判定を行うようにしてもよい。

【0056】さて、要求された論理アドレスに対応するLTPb152-iがRAM14上に存在しないと判定された場合、マイクロプロセッサ121はフラッシュメモリ15からRAM14のLTPb領域142に当該LTPb152-iをコピーする(ステップS13)。このLTPb152-iのフラッシュメモリ15上の保存位置の情報(物理アドレス)は、上記論理アドレス中の14ビット論理ブロックアドレスの上位4ビットの値iにより、RAM14のLTPa領域141上のLTPa151の対応エントリを参照することで取得できる。

【0057】そしてマイクロプロセッサ121は、上記論理アドレス中の14ビット論理ブロックアドレスの上位4ビットの値iで指定される、レジスタ122中の有効フラグViをオンする(ステップS14)。このとき、既にオン状態にある別の有効フラグが存在するときは、その有効フラグをオフする。

【0058】マイクロプロセッサ121は、要求された論理アドレスに対応するLTPb152-iがRAM14上に存在しないと判定された場合には上記ステップS13、S14の後に、存在すると判定された場合にはそのまま、ステップS15に進み、LTPb領域142上のLTPb152-iを利用して、要求された論理アドレスを物理アドレスに変換するアドレス変換処理を行う。

【0059】以下、ステップS15のアドレス変換処理の詳細を、図8のフローチャートを参照して説明する。まずマイクロプロセッサ121は、要求された論理アドレス中の14ビット論理ブロックアドレスにより、RAM14のLTPb領域142上に置かれているLTPb152-iの対応エントリを参照する(ステップS31)。

【0060】次にマイクロプロセッサ121は、参照したエントリにデータが書かれているか否か(消去状態であるオール“1”であるか)により、14ビット論理ブロックアドレスで指定されるブロックの物理アドレス(PA)が設定されているか否かを判定する(ステップS32)。本実施形態において、LTPb152-iのエントリに実際に登録されるのは、物理アドレスの下位14ビットを除く物理ブロックアドレスである。しかし、物理ブロックアドレスの下位側に全ビットが“0”の14ビットのデータ、つまり14ビットのオール“0”データを連結すれば、該当するブロックの先頭物理アドレスを示すことから、当該物理アドレスが登録されていると実質的には同じである。

【0061】マイクロプロセッサ121は、参照エント

りに物理アドレス(物理ブロックアドレス)が設定されていない場合、フラッシュメモリ15のデータ領域154の中から空き領域、つまりブロック内の各セクタの冗長部に論理ブロックアドレスが書かれていない空きブロックを1つ確保し、当該空きブロックの各セクタの冗長部に、上記要求された論理アドレス中の論理ブロックアドレスを書き込む(ステップS33)。つまり、確保した空きブロックに、要求された論理アドレス中の論理ブロックアドレスを割り当てる。

10 【0062】次にマイクロプロセッサ121は、RAM14のLTPb領域142上に置かれているLTPb152-iの参照エントリと、フラッシュメモリ15に保存されている複数のLTPbのうちのLTPb152-iの対応エントリ(要求された論理アドレス中の14ビット論理ブロックアドレスにより指定されるエントリ)とに、上記確保した(論理ブロックアドレスの割り当てを行った)ブロックの先頭物理アドレス(中の14ビット物理ブロックアドレス)を書き込む(ステップS34)。

20 【0063】マイクロプロセッサ121は、上記参照したエントリに物理アドレス(物理ブロックアドレス)が設定されている場合には、当該物理アドレス(物理ブロックアドレス)を、設定されていない場合には、ステップS34で新たに書き込んだ物理アドレス(物理ブロックアドレス)を取得する(ステップS35)。本実施形態のように、物理ブロックアドレスが取得される構成では、当該物理ブロックアドレスの下位側に、上記要求された論理アドレスの下位14ビット(つまり、5ビットのセクタアドレスと9ビットのセクタ内アドレスとからなる14ビット)を連結することで、目的の物理アドレスが得られる。また、下位14ビットがオール“0”の物理アドレスが取得される構成を適用する場合には、当該物理アドレスに上記要求された論理アドレスの下位14ビットを加算することでも、目的の物理アドレスが得られる。以上により、ステップS15のアドレス変換処理は終了となる。

40 【0064】さてマイクロプロセッサ121は、ステップS15のアドレス変換終了処理で、要求された論理アドレス(LA)に対応するフラッシュメモリ15の物理アドレス(PA)を取得すると、当該物理アドレス(PA)を用いてフラッシュメモリ15をアクセスし、当該物理アドレス(PA)で指定される位置から始まる要求されたサイズ分の領域を対象とする、要求された書き込みまたは読み出しを行う(ステップS16)。ここで、読み出しアクセス時には、読み出したデータがホストインタフェース11を介してホストシステムに転送される。

50 【0065】次にマイクロプロセッサ121は、書き込みまたは読み出しのいずれのアクセスであるかをチェックし(ステップS17)、読み出しアクセスの場合であ

れば、一連のアクセス要求受け付け時処理を終了する。

【0066】これに対し、書き込みアクセスの場合には、マイクロプロセッサ121は書き込みエラーの有無を判定する(ステップS18)。この判定は、書き込んだデータを読み出し、その読み出したデータと元の書き込みデータとを比較することで行われ、比較結果が不一致を示している場合に書き込みエラーが判定される。

【0067】マイクロプロセッサ121は、書き込みエラーがない場合には、一連のアクセス要求受け付け時処理を終了する。これに対し、書き込みエラーがある場合には、マイクロプロセッサ121は、書き込みエラーが発生したセクタを含むブロック全体が欠陥であるものとして、つまりブロックエラーであるものとして、ブロック全体を他の空きブロックに代替するための処理を次のように行う。

【0068】まずマイクロプロセッサ121は、フラッシュメモリ15のフラッシュメモリ15から代替先のブロックとして空きブロックを1つ確保し、当該空きブロックの各セクタの冗長部に、上記要求された論理アドレス中の論理ブロックアドレスを書き込む、前記ステップS33と同様の処理を行う(ステップS19)。

【0069】次にマイクロプロセッサ121は、RAM14のLTPb領域142上に置かれているLTPb152-iと、フラッシュメモリ15に保存されている複数のLTPbのうちのLTPb152-iにおける該当する両エントリ、即ち要求された論理アドレス中の14ビット論理ブロックアドレスにより指定される両エントリの内容を、上記確保した(論理ブロックアドレスの割り当てを行った)代替先ブロックの先頭物理アドレス(中の14ビット物理ブロックアドレス)に更新する(ステップS20)。

【0070】次にマイクロプロセッサ121は、ブロックエラーと判定された旧ブロックのデータを、代替先ブロックにコピーする(ステップS21)。そしてマイクロプロセッサ121は、上記ステップS20で更新した物理ブロックアドレスから取得される物理アドレス(PA)を用いて、フラッシュメモリ15を再アクセスし、当該物理アドレス(PA)で指定される位置から始まる要求されたサイズ分の領域を対象とする要求された書き込みを行う(ステップS22)。

【0071】もし、この再アクセスにより書き込みが正常に行われたならば、一連のアクセス要求受け付け時処理は終了となる。これに対し、再び書き込みエラーとなったなら、上記ステップS19以降のブロック代替処理と、代替先ブロックを対象とする再書き込み処理とが行われる。以上の処理が所定回数繰り返されても、書き込みが正常に行われない場合には、エラー終了となる。

【0072】なお、前記実施形態では、LTPb152-iは初期状態において枠組だけが作成されるものとして説明したが、最初からエントリ内容が登録されたLTP

b152-iが作成される構成であっても構わない。

【0073】

【発明の効果】以上詳述したように本発明によれば、論理アドレスを物理アドレスに変換するためのアドレス変換テーブルが複数のアドレス変換テーブルに分割されて書き換え可能不揮発性メモリ上に保存される一方、そのうちの1つだけが揮発性メモリ上のアドレス変換テーブル領域に置かれてアドレス変換に用いられる構成としたので、書き換え可能不揮発性メモリの記憶容量が増加しても揮発性メモリの容量が増加するのを抑えることができる。

【0074】また、本発明によれば、書き換え可能不揮発性メモリをアクセスするために与えられた論理アドレスに対応するアドレス変換テーブルが揮発性メモリ上に存在しないテーブルミスの場合に、当該アドレス変換テーブルを書き換え可能不揮発性メモリから揮発性メモリにコピーしてアドレス変換に供するようにしたので、書き換え可能不揮発性メモリの記憶容量が増加しても揮発性メモリの容量が増加するのを抑えながら、テーブルミス時のペナルティを最小限に抑えてリアルタイム用途に対応することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るメモリカードの全体構成を示すブロック図。

【図2】図1中のフラッシュメモリ15の管理単位としてのブロックを説明するための図。

【図3】同実施形態で適用される論理アドレスと物理アドレスとの対応関係を説明するための図。

【図4】同実施形態で適用されるLTPa151及びLTPb152-iを説明するための図。

【図5】同実施形態における立ち上げ時処理を説明するためのフローチャート。

【図6】同実施形態におけるアクセス要求受け付け時処理を説明するためのフローチャートの一部を示す図。

【図7】同実施形態におけるアクセス要求受け付け時処理を説明するためのフローチャートの残りを示す図。

【図8】図6中のステップS15のアドレス変換処理の詳細な手順を説明するためのフローチャート。

【符号の説明】

12…制御部

13…ROM

14…RAM(揮発性メモリ)

15…フラッシュメモリ(書き換え可能不揮発性メモリ)

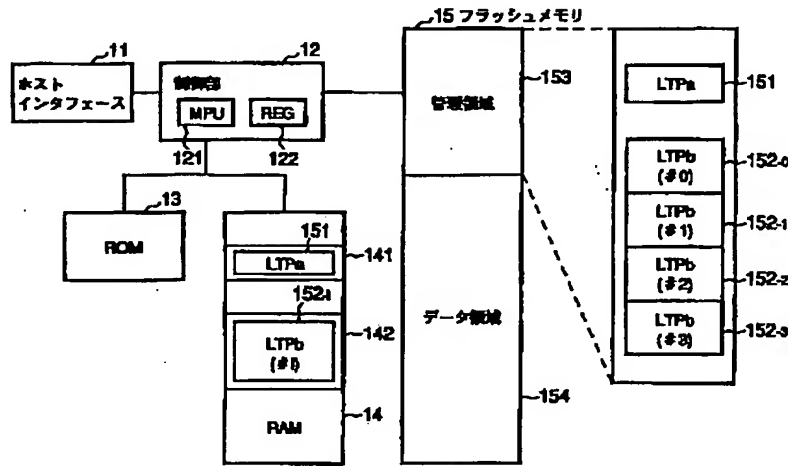
121…マイクロプロセッサ(MPU、アドレス変換手段、ヒット/ミスヒット判定手段、コピー手段、物理アドレス登録手段、ブロック代替手段、テーブル作成判定手段、テーブル作成手段)

122…レジスタ(REG、参照用テーブル指定手段)

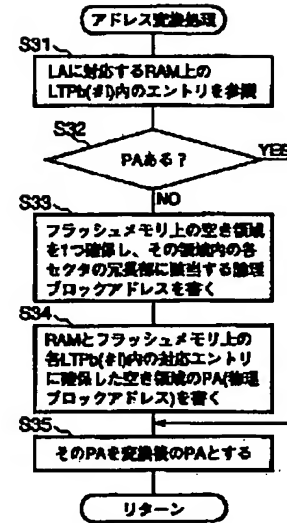
141…LTPa領域(ポインタテーブル領域)

142...LTPb領域 (アドレス変換テーブル領域) 換テーブル)
 151...LTPa (ポインタテーブル) 153...管理領域
 152-0~152-3, 152-i...LTPb (アドレス変 154...データ領域

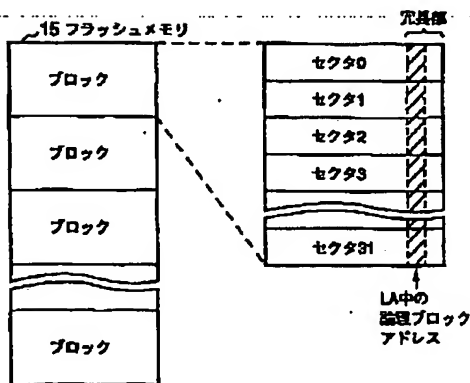
【図1】



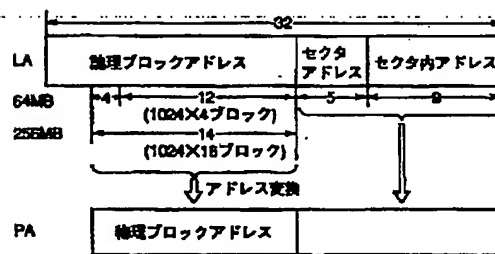
【図8】



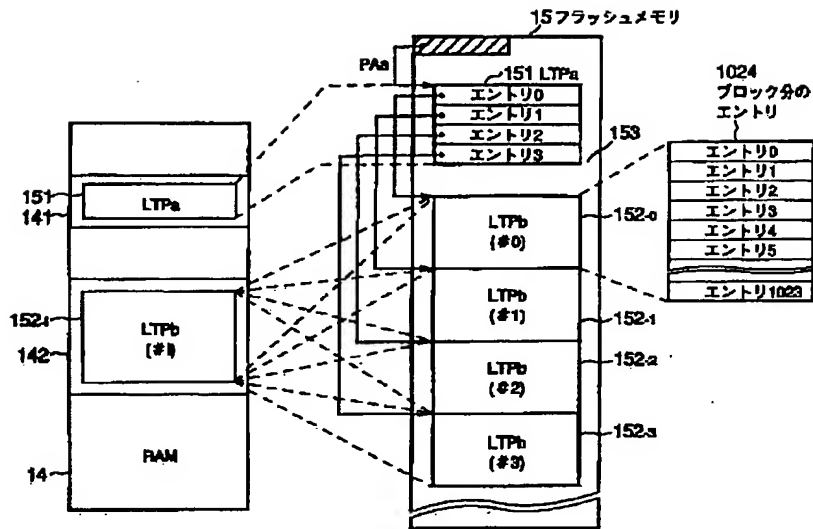
【図2】



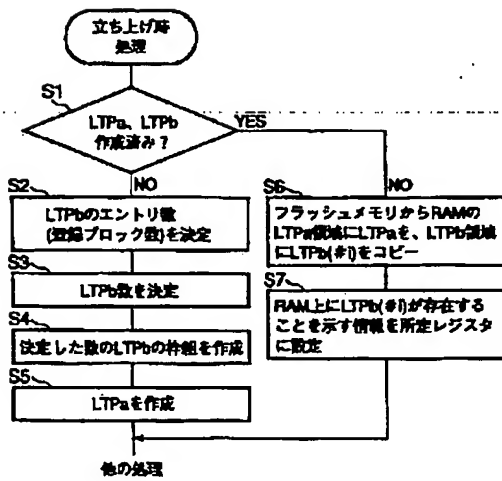
【図3】



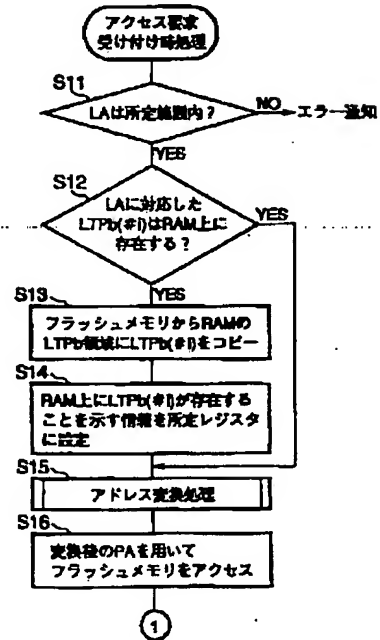
【図4】



【図5】



【図6】



【図7】

